

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000117

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-003841
Filing date: 09 January 2004 (09.01.2004)

Date of receipt at the International Bureau: 03 March 2005 (03.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

11.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 1月 9日

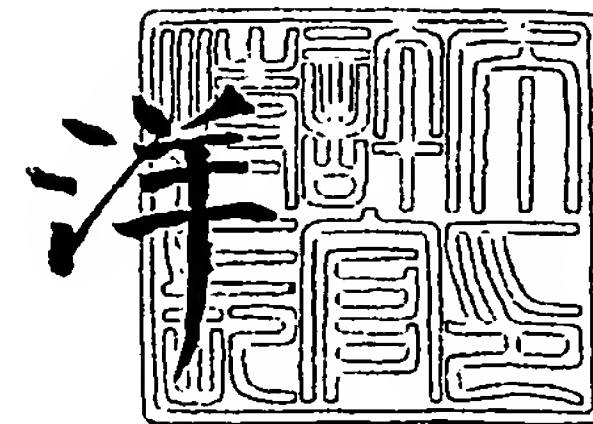
出願番号
Application Number: 特願2004-003841
[ST. 10/C]: [JP2004-003841]

出願人
Applicant(s): ローム株式会社

2005年 2月17日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 PR03-00346
【提出日】 平成16年 1月 9日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03K 17/08
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 大尾 光明
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 柳島 大輝
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
 【代表者】 佐藤 研一郎
【代理人】
 【識別番号】 100079555
 【弁理士】
 【氏名又は名称】 梶山 侑是
 【電話番号】 03-5330-4649
【選任した代理人】
 【識別番号】 100079957
 【弁理士】
 【氏名又は名称】 山本 富士男
 【電話番号】 03-5330-4649
【手数料の表示】
 【予納台帳番号】 061207
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9711313

【書類名】 特許請求の範囲

【請求項 1】

電流出力のパワートランジスタと、出力電流検出回路とを備える IC の電流制限回路において、

前記出力電流検出回路は、前記パワートランジスタに直列に設けられ、

コンパレータと第 1 の基準電圧発生回路と第 2 の基準電圧発生回路とを有し、前記パワートランジスタの出力電流が規定値に達したときに前記出力電流検出回路から得られるその検出信号と前記第 1 の基準電圧発生回路から得られる第 1 の基準電圧とに応じて前記コンパレータが前記パワートランジスタの駆動を所定期間停止させるための制御信号を発生し、前記パワートランジスタの出力電流が前記規定値を越えた所定値になったときに前記出力電流検出回路から得られるその検出信号と前記第 2 の基準電圧発生回路から得られる第 2 の基準電圧とに応じて前記コンパレータが前記制御信号を発生するものであって、前記第 1 の基準電圧発生回路が前記 IC に外付けされ、前記第 2 の基準電圧発生回路が前記 IC に内蔵されている電流制限回路。

【請求項 2】

前記第 2 の基準電圧は、前記 IC がドライバ IC として継続使用できる値に設定されている請求項 1 記載の電流制限回路。

【請求項 3】

前記出力電流は、前記パワートランジスタが電流を出力する出力端子からシンクする駆動電流である請求項 2 記載の電流制限回路。

【請求項 4】

請求項 1 ～ 3 のいずれか記載の前記電流制限回路を有する前記 IC の前記パワートランジスタからの前記出力電流によりモータを駆動するモータドライブ回路。

【請求項 5】

前記モータがステッピングモータである請求項 4 記載のモータドライブ回路。

【書類名】 明細書

【発明の名称】 電流制限回路およびモータドライブ回路

【技術分野】

【0001】

この発明は、電流制限回路およびモータドライブ回路に関し、詳しくは、ユニポーラ（半波）駆動のステッピングモータドライバICにおいて、規定電流値検出のための外付け基準電圧発生回路が故障したときに過電流を防止してパワートランジスタを保護しかつドライバICとして継続使用できるようにすることが可能な電流制限回路に関する。

【背景技術】

【0002】

ユニポーラ駆動のステッピングモータドライバ（パルスモータドライバ）は、1相駆動、1相-2相駆動、2相駆動等によりモータの固定子側を順次励磁することで、所定の回転角だけ突起形状の回転子を回転させる。

各固定子を励磁するための駆動電流を流すドライバは、電源に対して固定子に巻かれたコイルに直列にパワートランジスタが設けられていて、各相對應に設けられたパワートランジスタが所定のタイミングでON/OFFされることで、固定子が順次励磁されてステッピングモータがドライブされる。

パワートランジスタがONすると、励磁コイルのインダクタンスとパワートランジスタ等のインピーダンスにより決定される所定の時定数の過渡現象でON期間の間順次駆動電流が増加していく。この増加量を一定値に制限するために、パワートランジスタをONから所定の期間後にOFFすることで、電流制限回路によりパワートランジスタに過電流が流れないように制御される。そのため、パワートランジスタは、通常、ON/OFFする“H”（HIGHレベル）、“L”（LOWレベル）の論理値パルスで各相がパルス駆動される。

【0003】

このようなパルス駆動制御の1つとして、ON期間をタイマ回路で設定して制御するチョッパ制御の3相モータドライバとそのIGBTパワートランジスタの保護回路が公知である（特許文献1）。

この特許文献1（特開平11-112313号）に示されているように、この種のドライバの過電流保護回路は、出力電流を検出する電流検出回路とパワートランジスタの駆動を停止する過電流検出回路とで構成される。電流検出回路は、通常、パワートランジスタに直列に設けられている。過電流検出回路は、出力電流値が所定値以上の過電流になったときに得られる電流検出回路からの検出信号に応じて動作する。

【特許文献1】 特開平11-112313号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

電流制限回路は、通常、コンパレータにより電流検出回路からの検出電圧信号と基準電圧とを比較して基準電圧を越えたときにパワートランジスタの駆動を停止する。基準電圧を発生する回路が故障すると、電流制限回路がはたらかなくなり、パワートランジスタが破壊される問題がある。そのため、過電流保護回路が別途必要になる。

前記の電流制限回路による規定電流値検出のための基準電圧発生回路は、ドライバICに外付けされる。それは、パワートランジスタの特性のばらつきに応じて規定電流値検出ばらつきが発生するために、この電圧を外付けにより調整することで制限する電流値を設計仕様に適合するような値に調整するためである。

そのため、IC内部の回路よりもこの外付け回路の接続不良、断線などが発生し易く、それにより、この基準電圧入力端子がオープンとなると、電流制限回路がはたらかなくなってパワートランジスタがON状態となる。別途設けられる過電流保護回路は、このON状態のときに流れる出力電流の過電流を検出することになるが、通常、過電流保護回路は、ドライバICとしての動作を停止させるために継続的にドライバとして使用できない。

特に、モータドライブ回路等のドライバにあっては、単に、基準電圧を発生する回路の故障だけでドライバが動作しなくなり、モータも動作しなくなる。そのため、ときには、機構あるいは装置全体が無駄になってしまう問題がある。

この発明の目的は、このような従来技術の問題点を解決するものであり、規定電流値検出のための外付け基準電圧発生回路が故障したときに過電流を防止してパワートランジスタを保護しかつドライバICとして継続使用できる電流制限回路およびモータドライブ回路を提供することにある。

【課題を解決するための手段】

【0005】

このような目的を達成するためのこの発明の電流制限回路およびモータドライブ回路の構成は、出力電流検出回路がパワートランジスタに直列に設けられ、コンパレータと第1の基準電圧発生回路と第2の基準電圧発生回路とを有し、パワートランジスタの出力電流が規定値に達したときに出力電流検出回路から得られるその検出信号と第1の基準電圧発生回路から得られる第1の基準電圧とに応じてコンパレータがパワートランジスタの駆動を所定期間停止させるための制御信号を発生し、パワートランジスタの出力電流が規定値を越えた所定値になったときに出力電流検出回路から得られるその検出信号と第2の基準電圧発生回路から得られる第2の基準電圧とに応じてコンパレータが制御信号を発生するものであって、第1の基準電圧発生回路がICに外付けされ、第2の基準電圧発生回路がICに内蔵されているものである。

【発明の効果】

【0006】

この発明にあっては、第2の基準電圧発生回路がICに内蔵されているので、規定電流値検出のための第1の基準電圧発生回路が故障したときに第2の基準電圧発生回路により電流制限がかかり、過電流を防止してパワートランジスタを保護することができる。

ICに内蔵されている第2の基準電圧発生回路は、外付け部品ではないので、接続不良、断線などはほとんど発生しない。したがって、確実にこのICが保護され、しかも、前記の所定値をドライバICとして継続動作することに問題のないような、第1の基準電圧より少し高い値に設定しておけば、ドライバICとしての動作に差し障りがない。

したがって、外部の取り付け部品の第1の基準電圧発生回路を取り替えなくてもドライバとしてこのICを継続して使用することが可能になる。なお、第1の基準電圧発生回路の状態は、その接続端子の電圧をチェックすれば容易に判断がつくので、第1の基準電圧発生回路を取り替えて正常の動作状態に戻すことも容易である。

その結果、基準電圧を発生する回路の故障だけでドライバが動作しなくなったり、例えば、モータが動作しなくなったりすることがなく、機構あるいは装置全体が無駄になってしまう欠点を防止することができる。

【発明を実施するための最良の形態】

【0007】

図1は、この発明の電流制限回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバの単相駆動回路を中心としたブロック図、図2は、その電流制限回路におけるコンパレータの回路図である。

図1において、10は、励磁コイルが4個のユニポーラ駆動のステッピングモータドライバICである。これには、電流出力回路1a、1b、1c、1dが設けられ、それぞれがステッピングモータ11の励磁コイル11a、11b、11c、11dにそれぞれ接続され、各励磁コイル11a、11b、11c、11dには、それぞれフライホイールダイオードDが並列に接続されている。

電流出力回路1a、1b、1c、1dは、それぞれ同一の回路で構成されているので、その詳細を電流出力回路1aのみに示す。以下、電流出力回路1aについて説明し、電流出力回路1b、1c、1dは、同様であるのでその説明を割愛する。なお、12は、電源である。

【0008】

電流出力回路 1 a は、Nチャネル MOSFET パワートランジスタ T_r を有していて、パワートランジスタ T_r は、ドレインが出力端子 2 a に接続され、出力端子 2 a に励磁電流を出力する。パワートランジスタ T_r のソースは、端子 2 e を介して IC 外部に取り付けられた出力電流検出用の抵抗 R_s に接続され、これを介して接地されている。なお、出力端子 2 a の出力電流は、この出力端子 2 a に励磁コイル 11 a からシンクする電流となる。

電流制限回路 3 は、 $\times 2$ 倍増幅のアンプ 4 と、コンパレータ 5、第 1 の基準電圧発生回路 6 a、そして第 2 の基準電流発生回路 6 b とからなる。

アンプ 4 は、端子 2 e とコンパレータ 5 の (−) 入力端子との間に接続されている。基準電圧発生回路 6 a は、端子 2 c を介してコンパレータ 5 の (+) 入力端子に接続され、IC 外部に設けられている。これにより、基準電圧発生回路 6 a は基準電圧 V_{REF} をコンパレータ 5 の (+) 入力端子に加える。一方、基準電圧発生回路 6 b は、IC 内部に設けられていて、コンパレータ 5 の (+) 入力端子に接続され、基準電圧 V_R (ただし $V_R > V_{REF}$) をコンパレータ 5 の (+) 入力端子に加える。

なお、基準電圧 V_R は、ステッピングモータドライバ IC 10 がこれを基準電圧として動作したときに支障のない、基準電圧 V_{REF} より少し高い電圧である。

【0009】

ここで、出力電流検出用の抵抗 R_s の端子電圧を V_s とすると、パワートランジスタ T_r の出力電流が増加して、電圧 V_s が基準電圧 V_{REF} を越えるような駆動電流 (出力電流) がパワートランジスタ T_r に発生したとき、言い換えれば、出力電流が規定値になったときに、コンパレータ 5 の出力は、“H” から “L” に変わり、検出パルス S (“L” 有意) を発生する。この検出パルス S は、内部遅延回路 7 に加えられて遅延されて立下がりトリガー信号とされ、RS-フリップフロップ (データラッチ回路) 8 のクロック端子 CLK に入力される。このときにはすでに、RS-フリップフロップの D 端子には遅延しない検出パルス S (“L”) の 1 ビットデータが加えられている。そこで、遅延したトリガー信号によりこの “L” がラッチされる。

その結果、RS-フリップフロップ 8 の出力が “L” となって、この出力は、アンドゲート 9 に加えられる。

アンドゲート 9 には、相励磁信号 G (“H”) が相励磁信号生成回路 (図示せず) から加えられていて、RS-フリップフロップ 8 の出力が “L” となることで、そのゲートが閉じられる。その結果、パワートランジスタ T_r のゲートに加えられる相励磁信号 G (“H”) が阻止されて、このときパワートランジスタ T_r は OFF になる。パワートランジスタ T_r が OFF になると、電圧 V_s がグランド電位になり、コンパレータ 5 の出力 (検出パルス S) は、“L” から “H” に戻り、検出パルス S が停止する。

したがって、ここでは、検出パルス S は、パワートランジスタ T_r を OFF にする制御信号になっている。

【0010】

一方、検出パルス S (“L”) は、タイマ回路 7 a にも加えられ、一定時間後にチョッピングパルス P を発生させる。そこで、パワートランジスタ T_r が OFF になった後の一定時間後にタイマ回路 7 a を介して内部遅延回路 7 にインバータ 7 b を介してチョッピングパルス P (“H”) が加えられる。さらに、チョッピングパルス P (“H”) は、RS-フリップフロップ 8 の D 端子に遅延なしに加えられる。

内部遅延回路 7 は、このチョッピングパルス P の立上がりにより、立下がりトリガパルスを発生する。これにより、このチョッピングパルス P の “H” の期間には、RS-フリップフロップ 8 に “H”、すなわち “1” がラッチされて、アンドゲート 9 のゲートが開く。そこで、相励磁信号 G (“H”) との AND 条件が成立してパワートランジスタ T_r により駆動電流が励磁コイル 11 a に流され、その電流が増加していく。これが規定値になると、コンパレータ 5 の出力は、“H” から “L” に変わり、検出パルス S を発生する。これにより、パワートランジスタ T_r がまた OFF になる。

以上の繰り返しにより、相励磁信号 G (“H”) がパワートランジスタ T_r のゲートに加

えられている駆動期間にパワートランジスタ T_r がチョッピング駆動され、相励磁信号 G の発生タイミングに応じて励磁コイル 11a に駆動電流が流される。

なお、タイマ回路 7a は、“H” のチョッピングパルス P を一定時間 “L” に落とすものであって、検出パルス S を受けないときには “H” のチョッピングパルス P を発生させて RS-フリップフロップ 8 に “1” をセットし、ゲート 9 を開状態に保持する。そこで、相励磁信号 G (“H") が発生したときにはアンド条件が成立してパワートランジスタ T_r により駆動電流が励磁コイル 11a に流される。

これにより、電流制限回路 3 は、抵抗 R_s による端子 2c の電圧 V_s が基準電圧 V_{REF} を越えたときに、すなわち、パワートランジスタ T_r の出力電流が規定電流値になったときに駆動電流を停止させてパワートランジスタ T_r の出力電流を制限する。この点で電流制限回路 3 は、過電流保護回路を兼ねるものとして設けられている。

【0011】

ここで、基準電圧発生回路 6a が故障しあるいは端子 2f との接続不良などにより端子 2f に基準電圧 V_{REF} が発生しなくなったとする。

このときには、パワートランジスタ T_r の出力電流が増加して、電圧 V_s が基準電圧 V_{REF} を越える。そこで、電圧 V_s が V_R を越えるような出力電流がパワートランジスタ T_r に発生したときには、言い換えれば、出力電流が規定値以上の所定値になったときには、コンパレータ 5 の出力は、“H” から “L” に変わる検出パルス S (“L” 有意) をここでも発生する。

すなわち、コンパレータの比較基準電圧が基準電圧発生回路 6a の基準電圧 V_{REF} から基準電圧発生回路 6b の基準電圧 V_R に換わって前記の動作が継続的に行われる。これによりドライバとしてステッピングモータドライバ IC 10 は、動作を継続することができる。

【0012】

図 2 は、コンパレータ 5 の具体的な回路図であって、コンパレータ 5 は、PNP トランジスタ Q_1 , Q_2 からなる差動増幅器 50 を有している。この差動増幅器 50 に対して、トランジスタ Q_1 のベースには、これにダーリントン接続された PNP トランジスタ Q_3 , Q_4 が並列に設けられている。PNP トランジスタ Q_3 , Q_4 は、それぞれエミッタ側がトランジスタ Q_1 のベースに、コレクタ側が接地されている。

トランジスタ Q_5 のエミッタは、トランジスタ Q_2 のベースに、ダーリントン接続され、コレクタ側が接地され、そのベースには、 $\times 2$ 倍増幅のアンプ 4 から電流検出信号を受ける。

トランジスタ Q_3 のベースと端子 2f との間には基準電圧発生回路 6a が設けられ、トランジスタ Q_4 のベースとグランド GND との間には基準電圧発生回路 6b が設けられている。

51 ~ 53 は、それぞれ各トランジスタ Q_1 ~ Q_5 を動作させるための電流源であり、各トランジスタのエミッタと電源ライン + VDD との間に設けられている。NPN トランジスタ Q_6 , Q_7 は、カレントミラー回路であって差動増幅器 50 のアクティブ負荷回路としてトランジスタ Q_1 , Q_2 の下流に設けられ、エミッタ側が接地されている。

NPN トランジスタ Q_8 , Q_9 は、出力段トランジスタであって、それぞれのエミッタ側はグランド GND に接続され、トランジスタ Q_8 のコレクタは、電流源 54 を介して電源ライン + VDD に接続され、トランジスタ Q_6 のコレクタからベースに出力を受ける。トランジスタ Q_9 のコレクタは、負荷抵抗 R を介して電源ライン + VDD に接続され、トランジスタ Q_8 のコレクタからそのベースに出力を受けて、検出パルス P をそのコレクタに発生する。

【0013】

ここで、基準電圧発生回路 6a の基準電圧 V_{REF} により制限されるパワートランジスタ T_r の出力電流の規定値を 2.6 A とすると、基準電圧発生回路 6b の電圧 V_R により制限されるパワートランジスタ T_r の出力電流を 2.7 A 程度に設定され、動作として支障を来さない値になっている。電流制限回路の動作としての回路関係も変更はない。なお、パワ

ートランジスタ T_r の最大定格電流は、 3.0 A ($> 2.6\text{ A}$) であるとする。

その結果、基準電圧発生回路 6a が故障して基準電圧 V_{REF} がコンパレータ 5 に送出されない状態であっても、基準電圧 V_{REF} より少し高い値 V_R に設定されてドライバ IC としての動作に差し障りがなく、継続してドライバとして使用可能である。

【0014】

ところで、実施例では、コンパレータ 5 は、電流出力回路 1a, 1b, 1c, 1d にそれぞれ設けられる構成となっているが、コンパレータ 5 は、複数の電力出力回路に共通に設けられていてもよい。この場合、例えば、電流出力回路 1a, 1b のそれぞれのコンパレータ 5 と、電流出力回路 1c, 1d のそれぞれのコンパレータ 5 とに対して出力電流値の検出抵抗 R_s をそれぞれに共通化することができる。

また、実施例のパワートランジスタ T_r は、MOSFET トランジスタであるが、これは、バイポーラトランジスタであってもよいことはもちろんである。

さらに、実施例では、ユニポーラ駆動のステッピングモータドライバ IC のモータ駆動回路について説明しているが、パワートランジスタの出力回路をプッシュ・プル動作の駆動回路として、バイポーラ駆動のステッピングモータドライバ IC に実施例を適用してもよいことはもちろんである。

【産業上の利用可能性】

【0015】

以上説明してきたが、実施例では、内部遅延回路 7 と、RS-フリップフロップ（データラッチ回路）8、アンドゲート 9、そして OFF タイマ回路 7a を介してパワートランジスタ T_r の ON/OFF 制御をしているが、パワートランジスタ T_r が OFF される構成であれば、これら回路はこの発明にとって必ずしも必要な構成ではない。

さらに、実施例では、ステッピングモータドライバ IC について説明しているが、規定の電流値でパワートランジスタを OFF して駆動電流を制限するような電流制限回路を有するドライブ回路であれば、どのような回路であってもこの発明は適用できる。

【図面の簡単な説明】

【0016】

【図 1】 図 1 は、この発明の電流制限回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバの単相駆動回路を中心としたブロック図である。

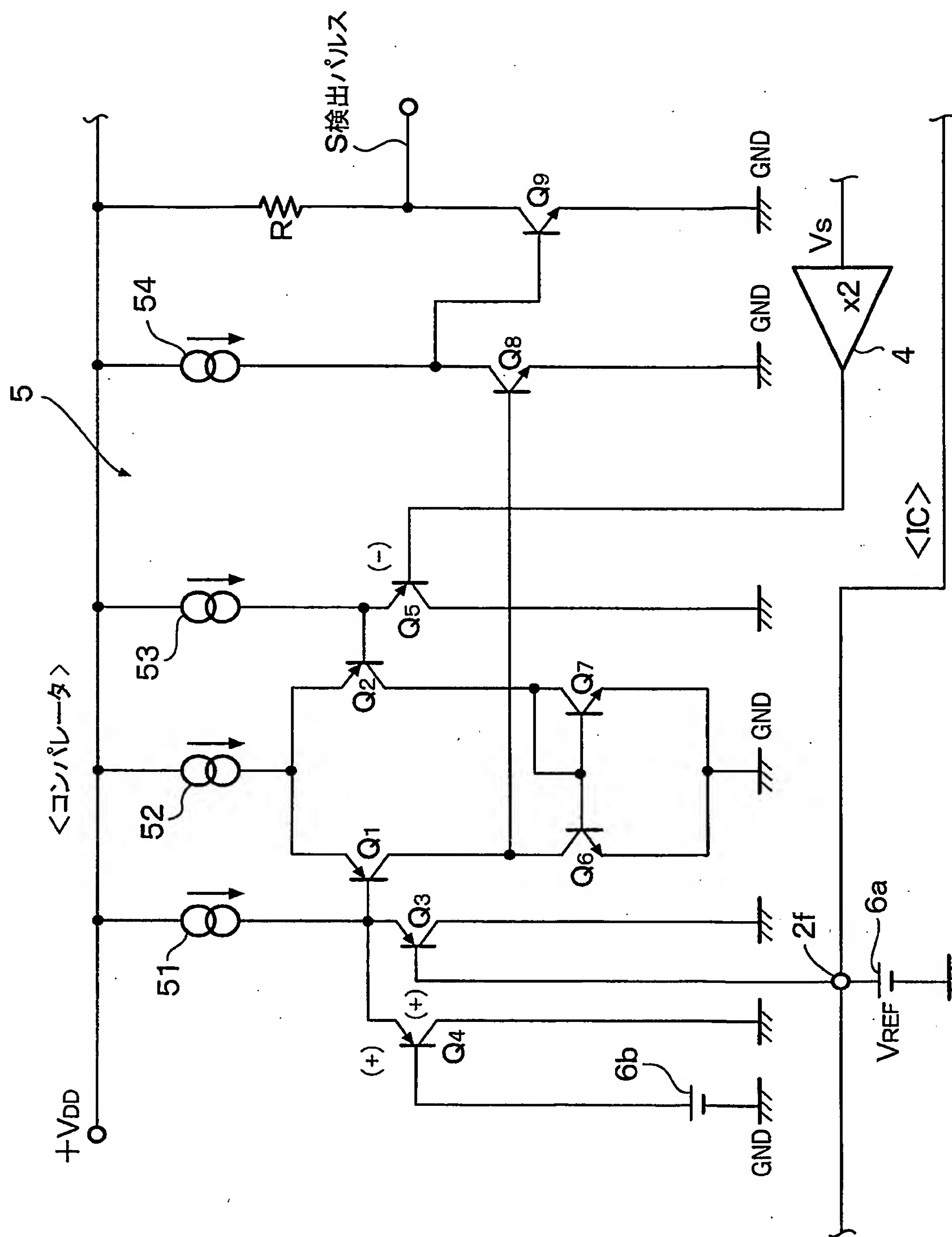
【図 2】 図 2 は、その電流制限回路におけるコンパレータの回路図である。

【符号の説明】

【0017】

- 1a, 1b, 1c, 1d…電流出力回路、
- 2a, 2b, 2c, 2d…出力端子、
- 3…電流制限回路、4… $\times 2$ 倍増幅のアンプ、
- 5…コンパレータ、6a…第 1 の基準電圧発生回路、
- 6b…第 2 の基準電流発生回路、
- 7…内部遅延回路、7a…タイマ回路、7b…インバータ、
- 8…RS-フリップフロップ（データラッチ回路）、
- 9…アンドゲート、
- 10…ステッピングモータドライバ IC、
- 11a, 11b, 11c, 11d…励磁コイル、
- 12…電源、
- R_s …抵抗、 T_r …Nチャネル MOSFET パワートランジスタ、
- Q1～Q9…バイポーラトランジスタ、D…フライホイールダイオード。

【図 2】



【書類名】 要約書

【要約】

【課題】

規定電流値検出のための外付け基準電圧発生回路が故障したときに過電流を防止してパワートランジスタを保護しかつドライバ IC として継続使用できる電流制限回路およびモータドライブ回路を提供することにある。

【解決手段】

この発明は、出力電流検出回路がパワートランジスタに直列に設けられ、コンパレータと第 1 の基準電圧発生回路と第 2 の基準電圧発生回路とを有し、パワートランジスタの出力電流が規定値に達したときに出力電流検出回路から得られるその検出信号と第 1 の基準電圧発生回路から得られる第 1 の基準電圧とに応じてコンパレータがパワートランジスタの駆動を所定期間停止させるための制御信号を発生し、パワートランジスタの出力電流が規定値を越えた所定値になったときに出力電流検出回路から得られるその検出信号と第 2 の基準電圧発生回路から得られる第 2 の基準電圧とに応じてコンパレータが制御信号を発生するものであって、第 1 の基準電圧発生回路が IC に外付けされ、第 2 の基準電圧発生回路が IC に内蔵されているものである。

【選択図】 図 1

特願 2004-003841

出願人履歴情報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住所

京都府京都市右京区西院溝崎町21番地

氏名

ローム株式会社

From the INTERNATIONAL BUREAU

PCTNOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

KAJIYAMA, Tsuyoshi
8-8-15-201, Nishi-Shinjuku, Shinjuku-ku Tokyo
1600023
JAPON

Date of mailing (day/month/year) 18 March 2005 (18.03.2005)	
Applicant's or agent's file reference RM17-001PCT	IMPORTANT NOTIFICATION
International application No. PCT/JP05/000117	International filing date (day/month/year) 07 January 2005 (07.01.2005)
International publication date (day/month/year)	Priority date (day/month/year) 09 January 2004 (09.01.2004)
Applicant ROHM CO., LTD et al	

- By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- (If applicable)* The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- (If applicable)* An asterisk (*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b) (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
09 January 2004 (09.01.2004)	2004-003841	JP	03 March 2005 (03.03.2005)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

Akremi Taieb

Facsimile No. +41 22 740 14 35

Facsimile No. +41 22 338 90 90
Telephone No. +41 22 338 9415